

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-154712

(43) 公開日 平成11年(1999) 6月8日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1

29/788

G 1 1 C 17/00

6 2 1 A

29/792

H 0 1 L 27/10

4 3 4

G 1 1 C 16/04

H 0 1 L 27/115

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号

特願平9-319753

(22) 出願日

平成9年(1997)11月20日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小山 健一

東京都港区芝五丁目7番1号 日本電気株式会社内

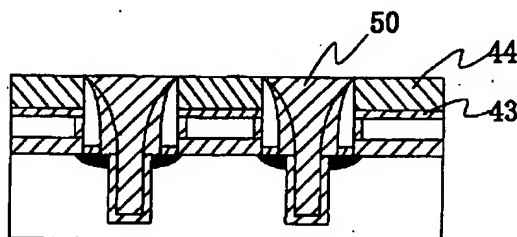
(74) 代理人 弁理士 山下 穰平

(54) 【発明の名称】 不揮発性半導体記憶装置およびその製造方法

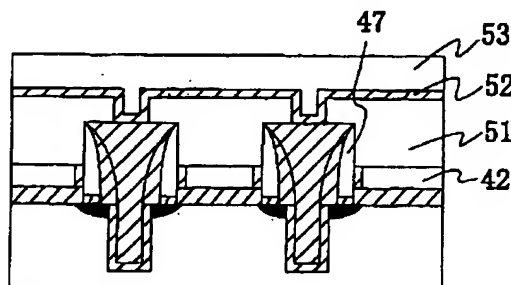
(57) 【要約】

【課題】 メモリセルの高集積化と低電圧化動作の両立化が困難。

【解決手段】 半導体基板にソースおよびドレイン電極用の不純物拡散層を有し、不純物拡散層により規定されるチャネル領域上にはゲート絶縁膜を介して第1の浮遊ゲート電極42を有し、不純物拡散層上にはゲート絶縁膜よりも薄いトンネル絶縁膜を介して第2の浮遊ゲート電極47を有し、第1および第2の浮遊ゲート電極と接続する第3の浮遊ゲート電極51を有し、第3の浮遊ゲート電極上に絶縁膜52を介して制御ゲート電極53を有する。



(d)



(e)

【特許請求の範囲】

【請求項1】 半導体基板にソースおよびドレイン電極用の不純物拡散層を有し、該不純物拡散層により規定されるチャンネル領域上にはゲート絶縁膜を介して第1の浮遊ゲート電極を有し、前記不純物拡散層上には前記ゲート絶縁膜よりも薄いトンネル絶縁膜を介して第2の浮遊ゲート電極を有し、前記第1および第2の浮遊ゲート電極と接続する第3の浮遊ゲート電極を有し、該第3の浮遊ゲート電極上に絶縁膜を介して制御ゲート電極を有することを特徴とする不揮発性半導体記憶装置。

【請求項2】 請求項1に記載の不揮発性半導体記憶装置において、前記第3の浮遊ゲート電極表面に凹凸が形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項3】 請求項2に記載の不揮発性半導体記憶装置において、前記第3の浮遊ゲート電極の膜厚を、下地面の凹凸形状に対応して前記第3の浮遊ゲート電極表面に凹凸形状が形成されるような厚さとしたことを特徴とする不揮発性半導体記憶装置。

【請求項4】 請求項1～3のいずれかの請求項に記載の不揮発性半導体記憶装置の構成を有するセルが半導体基板上に複数形成されており、各セル間の阻止分離法として、前記半導体基板表面に溝を形成し、該溝を絶縁膜で埋め込むトレンチ分離法を用いたことを特徴とする不揮発性半導体記憶装置。

【請求項5】 半導体基板に、ゲート絶縁膜、第1の浮遊ゲート電極用半導体膜、半導体酸化膜、半導体窒化膜を順次形成する工程と、チャンネル領域に相当する部分以外の領域の、前記第1の浮遊ゲート電極用半導体膜、前記半導体酸化膜、前記半導体窒化膜を除去した後、不純物をイオン注入し、ソース／ドレイン拡散層を形成する工程と、

該チャンネル領域に相当する部分以外の領域の前記第1のゲート酸化膜を除去した後、トンネル絶縁膜を形成し、その表面に第2の浮遊ゲート電極用半導体膜を堆積し、前記半導体基板上の該第2の浮遊ゲート電極用半導体膜及び該トンネル絶縁膜を一部除去することで、前記第1の浮遊ゲート電極用半導体膜の側壁部に前記第2の浮遊ゲート電極用半導体膜を形成する工程と、

前記第1の浮遊ゲート電極用半導体膜の側壁部に形成された前記第2の浮遊ゲート電極用半導体膜をマスクとして前記半導体基板に溝を形成し、該溝の内壁および前記第2の浮遊ゲート電極用半導体膜表面に第1の絶縁膜を形成した後、該溝を第2の絶縁膜で埋め込む工程と、前記半導体窒化膜と前記半導体酸化膜を除去した後、前記第1および第2の浮遊ゲート電極用半導体膜と電氣的に接続する第3の浮遊ゲート電極用半導体膜を形成し、さらに該第3の浮遊ゲート電極用半導体膜上に第3の絶縁膜を介して制御ゲート電極を設ける工程と、を有することを特徴とする不揮発性半導体記憶装置の製

造方法。

【請求項6】 請求項5に記載の不揮発性半導体記憶装置の製造方法において、前記第3の浮遊ゲート電極用半導体膜の膜厚を、下地面の凹凸形状に対応して前記第3の浮遊ゲート電極用半導体膜表面に凹凸形状が形成されるような厚さとしたことを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置およびその製造方法に係わり、特にフラッシュメモリのメモリセル、およびその製造方法に好適に用いられる不揮発性半導体記憶装置およびその製造方法に関する。

【0002】

【従来の技術】不揮発性シリコン記憶装置としては情報の消去および書き込みが可能なEPROM、フラッシュメモリ等が知られているが、これら不揮発性シリコン記憶装置は、従来、シリコン基板表面にトンネル酸化膜、電荷蓄積を目的とした浮遊ゲート電極層、電極間絶縁膜、各メモリセルのワード線となる制御ゲート電極層を形成し、積層構造のゲート電極に加工した後、ソース・ドレイン拡散層およびチャンネル領域を形成し、その後、各電極への金属配線を形成していた。

【0003】この構造を有するフラッシュメモリセルとして例えば、Masataka Kato et.al, "A 0.4- μ m Self-Aligned Contactless Memory Cell Technology Suitable for 256-Mbit Flash Memories" 1994 IEDM Tech. Digest pp.921-923に示されているような、データ書き込み・データ消去の動作時にファウラー・ノルドハイム(FN)現象を利用して、トンネル酸化膜中の電子の通過を実現する、いわゆるFN型のフラッシュメモリセルが提案されている。

【0004】このFN型メモリセルの構造及び製造方法を図6に示す。まず、シリコン基板1上にトンネル酸化膜2を形成し、この基板上に第1の浮遊ゲート電極用多結晶シリコン膜3およびシリコン酸化膜4を形成する。次に、フォトリソグラフィーとドライエッチング技術を用い、シリコン酸化膜4、シリコン膜3を第1の浮遊ゲート電極形状に加工する。その後、シリコン窒化膜5を堆積し、シリコン窒化膜5をエッチバックすることで、図6(a)に示す構造を形成する。

【0005】次に、シリコン窒化膜5をマスク材料にして、熱酸化を実施して各メモリセルを電氣的に分離するフィールド酸化膜6を形成し、続けてシリコン窒化膜5をホットリン酸を用いたウェットエッチングにより除去し、その後、シリコン膜3、シリコン酸化膜4、フィールド酸化膜6をマスク材料にしてメモリセルのソース・ドレイン拡散層7を形成するための砒素のイオン注入を実施する(図6(b))。

【0006】さらに、シリコン酸化膜8を堆積して、これをエッチバックすることでシリコン膜3間の溝を埋め込んだ後、第2の浮遊ゲート電極用の多結晶シリコン膜9を堆積し、これをフォトリソグラフィとドライエッチング技術を用い、シリコン膜9を第2の浮遊ゲート電極形状に加工する。この時、第1、第2の浮遊ゲート電極用シリコン膜3、9は電気的に接続した状態になるように形成する。続けて、絶縁膜10、制御ゲート電極用の多結晶シリコン膜11を堆積し、これをフォトリソグラフィとドライエッチング技術を用い、シリコン膜11を制御ゲート電極形状に加工するとともに、第1、第2の浮遊ゲート電極用シリコン膜3、9のドライエッチングも行い、各メモリセル毎の浮遊ゲート電極の分離を行い、フラッシュメモリセルを作成する(図6

(c))。このフラッシュメモリセルにおいて、第2の浮遊ゲート電極用シリコン膜9は制御ゲート電極11との対向面積を増大させ、浮遊ゲート電極と制御ゲート電極の容量結合を高める働きをしている。

【0007】しかしながら、このフラッシュメモリセルにおいては、メモリセル間の素子分離にフィールド酸化膜を用いている。そのため、メモリセルの高集積化が進んでも、ある程度の素子分離特性を保つために、0.6 μm 程度以上の素子分離幅は求められ、メモリセルの微細化が困難になる。

【0008】このような状況を解決するための一方法として、Masataka Kato et.al, "A Shallow-Trench-Isolation Flash Memory Technology with a Source-bias Programming Method" 1996 IEDM Tech.Digest pp.177-180 に示されているように、素子分離法としてシリコン基板に溝構造を形成し、溝内をシリコン酸化膜で埋め込み、素子分離幅を0.25 μm まで低減できるメモリセル構造が提案されている。

【0009】以下、図4および図5を用いてメモリセル構造と製造方法を示す。まず、シリコン基板20上にトンネル酸化膜21を形成し、この基板上に第1の浮遊ゲート電極用多結晶シリコン膜22、シリコン酸化膜23およびシリコン窒化膜24を形成する。次に、フォトリソグラフィとドライエッチング技術を用い、シリコン窒化膜24、シリコン酸化膜23およびシリコン膜22を第1の浮遊ゲート電極形状に加工する。その後、シリコン膜22、シリコン酸化膜23、シリコン窒化膜24をマスク材料にしてメモリセルのソース・ドレイン拡散層25を形成するための砒素のイオン注入を実施する(図4(a))。

【0010】その後、シリコン膜22の側壁を熱酸化してシリコン酸化膜33を形成し、続けてシリコン窒化膜26とシリコン酸化膜27を堆積し、シリコン酸化膜27、シリコン窒化膜26をエッチバックすることで、第1の浮遊ゲート電極側壁にシリコン窒化膜26とシリコン酸化膜27のサイドウォールを形成する。このサイド

ウォールをマスク材にしてシリコン基板20をドライエッチングして各メモリセル間に溝を掘った後、シリコン基板20の溝表面を熱酸化することでシリコン酸化膜28を形成する(図4(b))。

【0011】次に、シリコン酸化膜29の堆積と、このシリコン酸化膜29のエッチバックにより、サイドウォール27とシリコン酸化膜28表面を被覆するシリコン酸化膜29を形成した後、シリコン膜30の堆積と、このシリコン膜30のエッチバックにより、メモリセル間の溝を埋め込み、素子分離幅0.25 μm を実現する(図4(c))。

【0012】次に、シリコン膜30の表面を熱酸化した後、シリコン窒化膜24を、ホットリン酸を用いたウェットエッチングにより除去する(図5(d))。

【0013】続けて、シリコン酸化膜23をドライエッチングにより除去した後、第2の浮遊ゲート電極用の多結晶シリコン膜32を堆積し、これをフォトリソグラフィとドライエッチング技術を用い、シリコン膜32を第2の浮遊ゲート電極形状に加工する。この時、第1、第2の浮遊ゲート電極用シリコン膜22、32は電気的に接続した状態になる。続けて、絶縁膜33、制御ゲート電極用の多結晶シリコン膜34を堆積し、これをフォトリソグラフィとドライエッチング技術を用い、シリコン膜34を制御ゲート電極形状に加工するとともに、第1、第2の浮遊ゲート電極用シリコン膜22、32のドライエッチングも行い、各メモリセル毎の浮遊ゲート電極の分離を行い、フラッシュメモリセルを作成する(図5(e))。このフラッシュメモリセルにおいて、第2の浮遊ゲート電極用シリコン膜32は制御ゲート電極34との対向面積を増大させ、浮遊ゲート電極と制御ゲート電極の容量結合を高める働きをしている。

【0014】

【発明が解決しようとする課題】しかしながら、図5(e)に示すように、メモリセルの高集積化のために素子分離幅を0.25 μm と狭めた結果、隣接するメモリセルの第2の浮遊ゲート電極用シリコン膜32は、素子分離にフィールド酸化膜を用いた場合に比べ接近する。また、第2の浮遊ゲート電極用シリコン膜32の加工技術が従来と同じ場合には、第2の浮遊ゲート電極用シリコン膜32の分離間隔は従来と同じになるため、素子分離領域に突きだしている部分の第2の浮遊ゲート電極用シリコン膜32の面積が減少することになる。その結果、第2の浮遊ゲート電極用シリコン膜32と制御ゲート電極34の対向面積が減少し、浮遊ゲート電極と制御ゲート電極の容量結合も低減する。このため、制御ゲート電極34に電圧を印加し、浮遊ゲート電極22、32を介してトンネル酸化膜21に電界を加える場合、従来と同じ電界をトンネル酸化膜21に加えるためには、より高い電圧を制御ゲート電極に印加する必要がある。その結果、このフラッシュメモリセルを操作するために

は、より高い値の電源電圧が必要になり、素子の低電圧化、低消費電力化が困難になる。

【0015】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置は、半導体基板にソースおよびドレイン電極用の不純物拡散層を有し、該不純物拡散層により規定されるチャネル領域上にはゲート絶縁膜を介して第1の浮遊ゲート電極を有し、前記不純物拡散層上には前記ゲート絶縁膜よりも薄いトンネル絶縁膜を介して第2の浮遊ゲート電極を有し、前記第1および第2の浮遊ゲート電極と接続する第3の浮遊ゲート電極を有し、該第3の浮遊ゲート電極上に絶縁膜を介して制御ゲート電極を有することを特徴とする。

【0016】また本発明の不揮発性半導体記憶装置の製造方法は、半導体基板に、ゲート絶縁膜、第1の浮遊ゲート電極用半導体膜、半導体酸化膜、半導体窒化膜を順次形成する工程と、チャネル領域に相当する部分以外の領域の、前記第1の浮遊ゲート電極用半導体膜、前記半導体酸化膜、前記半導体窒化膜を除去した後、不純物をイオン注入し、ソース／ドレイン拡散層を形成する工程と、該チャネル領域に相当する部分以外の領域の前記第1のゲート酸化膜を除去した後、トンネル絶縁膜を形成し、その表面に第2の浮遊ゲート電極用半導体膜を堆積し、前記半導体基板上の該第2の浮遊ゲート電極用半導体膜及び該トンネル絶縁膜を一部除去することで、前記第1の浮遊ゲート電極用半導体膜の側壁部に前記第2の浮遊ゲート電極用半導体膜を形成する工程と、前記第1の浮遊ゲート電極用半導体膜の側壁部に形成された前記第2の浮遊ゲート電極用半導体膜をマスクとして前記半導体基板に溝を形成し、該溝の内壁および前記第2の浮遊ゲート電極用半導体膜表面に第1の絶縁膜を形成した後、該溝を第2の絶縁膜で埋め込む工程と、前記半導体窒化膜と前記半導体酸化膜を除去した後、前記第1および第2の浮遊ゲート電極用半導体膜と電気的に接続する第3の浮遊ゲート電極用半導体膜を形成し、さらに該第3の浮遊ゲート電極用半導体膜上に第3の絶縁膜を介して制御ゲート電極を設ける工程と、を有することを特徴とする。

【0017】（作用）本発明においては、1）素子分離法として半導体基板に形成した溝構造の素子分離を用い、かつメモリセルのトンネル領域の面積を低減することで、制御ゲート電極－浮遊ゲート電極間および浮遊ゲート電極－半導体基板間の電気容量結合比を変更し、制御ゲート電極に印加した電圧がトンネル絶縁膜へ電界を加え易くすることで、メモリセルの高集積化と素子の低電圧動作実現を可能にできる。

【0018】本発明を用いることで向上する特性向上としては、1）素子分離法として半導体基板に形成した溝構造の素子分離を用い、メモリセルの高集積化を実現すると共に、2）メモリセルのチャネル長を変更すること

なくトンネル絶縁膜で規定されるトンネル領域の面積を低減することで、メモリセルの浮遊ゲート電極と半導体基板間の容量結合を低減し、その結果、制御ゲート電極－浮遊ゲート電極間および浮遊ゲート電極－半導体基板間の電気容量結合比を変更し、制御ゲート電極に印加した電圧がトンネル絶縁膜へ電界を加え易くしたことで素子の低電圧動作を実現し、3）さらに、浮遊ゲート電極と制御ゲート電極の対向面積を増大させ、素子の低電圧動作を実現する。

【0019】

【実施例】以下、本発明の実施例について図面を用いて説明する。ここでは本発明の不揮発性半導体記憶装置として代表的なフラッシュメモリを取り上げて説明するが、本発明はEPROM等の他の不揮発性半導体記憶装置にも適用することができる。本実施例において用いたメモリセルでは、半導体膜としてシリコン膜、ゲート絶縁膜としてシリコン酸化膜、絶縁膜としてシリコン酸化膜、半導体基板としてシリコン基板を用いている。

【0020】図1(a)～(c)及び図2(d)、

(e)は本発明の第1の実施例で説明に用いるメモリセル形成工程および構造を示した模式図である。図3は本発明の第2の実施例で説明に用いるメモリセル構造を示した模式図である。以下、図を用いて順次説明する。

【実施例1】本発明の第1の実施例について図1及び図2を用いて説明する。

【0021】シリコン基板40上に、まず第1のゲート酸化膜41（膜厚150Å）を900℃の熱酸化で形成した後、第1の浮遊ゲート電極用多結晶シリコン膜42（膜厚1500Å）、シリコン酸化膜43（膜厚100Å）、およびシリコン窒化膜44（膜厚1500Å）をCVD法を用い順次形成する。その後、リソグラフィとシリコン窒化膜・シリコン酸化膜・シリコン膜のドライエッチング技術により、メモリセルのチャネル領域に相当する部分以外の領域の前記第1の浮遊ゲート電極用多結晶シリコン膜42、第1の半シリコン酸化膜43、および第1のシリコン窒化膜44を除去する。その後、第1の浮遊ゲート電極用多結晶シリコン膜42、第1のシリコン酸化膜43、および第1のシリコン窒化膜44をマスクにしてN型不純物（例えば砒素）をイオン注入（イオン注入条件は例えばエネルギー30keV、注入量 $3 \times 10^{15} \text{ cm}^{-2}$ ）し、ソース／ドレイン拡散層45を形成する（図1(a)）。

【0022】この後、第1の浮遊ゲート電極用多結晶シリコン膜42、第1のシリコン酸化膜43、および第1のシリコン窒化膜44をマスクにして、メモリセルのチャネル領域に相当する部分以外の領域の前記第1のゲート酸化膜41を希フッ酸を用いてエッチング除去する。このゲート酸化膜41を除去した領域には、第1のトンネル酸化膜46を形成し（同時に第1の浮遊ゲート電極用多結晶シリコン膜42の側部にも酸化膜が形成され

る)、その表面に第2の浮遊ゲート電極用多結晶シリコン膜47(膜厚は例えば1000Å)をCVD法で堆積し、このシリコン膜47をエッチバックすることで、前記第1の浮遊ゲート電極の側壁に前記第2の浮遊ゲート電極47を形成し、続けてシリコン酸化膜46もシリコン酸化膜のドライエッチングで露出部分のシリコン酸化膜46を除去する(図1(b))。続いて、例えば900°Cの熱酸化を行いシリコン膜47の表面に、例えば膜厚200Åのシリコン酸化膜48を形成する。

【0023】さらに、前記第1、第2の浮遊ゲート電極をマスクにしてシリコン基板40の露出部分にシリコン膜のドライエッチングを施し、シリコン基板40露出部分に溝(溝深さは例えば1μm、溝幅は例えば0.25μm)を形成する。その後、例えば900°Cの熱酸化を行い、シリコン基板40の溝側壁にシリコン酸化膜49(膜厚は例えば150Å)を形成する(図1(c))。

【0024】その後、膜厚5000Åのシリコン酸化膜50をCVD法で堆積し、シリコン基板表面の溝を埋め込んだ後、シリコン酸化膜50のエッチングを行い、シリコン窒化膜44の表面を露出させる(図2(d))。続けて、ホットリン酸を用いたシリコン窒化膜44のエッチングを行い、さらにフッ酸を用いて膜厚100Å分のシリコン酸化膜のエッチングを行い、シリコン酸化膜43を除去する。

【0025】その後、第3の浮遊ゲート電極用の多結晶シリコン膜51(膜厚5000Å)をCVD法で堆積しシリコン基板40表面を平坦化する。なお、前記第1の浮遊ゲートポリシリコン42と第2の浮遊ゲートポリシリコン47は第3の浮遊ゲートポリシリコン51を介して電気的に接続する。続けて、第3の浮遊ゲートポリシリコン51をフォトリソグラフィとシリコン膜のドライエッチングにより、浮遊ゲート電極形状に加工する。続けて900°Cの熱酸化を行い、第3の浮遊ゲートポリシリコン51上にシリコン酸化膜52(膜厚は例えば180Å)を形成し、さらに制御ゲート用ポリシリコン膜53をCVD法で堆積し、その後フォトリソグラフィドライエッチング技術を用い、制御ゲート電極53を加工し、フラッシュメモリセルを形成する(図2(e))。最後に、これらのパターンを覆うように絶縁膜をシリコン基板40の全面に形成し、メモリセルの各電極へのコンタクトホールおよび、金属配線を形成する。

【実施例2】本発明の第2の実施例について図1、図2および図3を用いて説明する。

【0026】シリコン基板40上に、まず第1のゲート酸化膜41(膜厚150Å)を900°Cの熱酸化で形成した後、第1の浮遊ゲート電極用多結晶シリコン膜42(膜厚1500Å)、シリコン酸化膜43(膜厚100Å)、およびシリコン窒化膜44(膜厚1500Å)をCVD法を用い順次形成する。その後、リソグラフィーとシリコン窒化膜・シリコン酸化膜・シリコン膜のドラ

イエッチング技術により、メモリセルのチャネル領域に相当する部分以外の領域の前記第1の浮遊ゲート電極用多結晶シリコン膜42、第1のシリコン酸化膜43、および第1のシリコン窒化膜44を除去する。その後、第1の浮遊ゲート電極用多結晶シリコン膜42、第1のシリコン酸化膜43、および第1のシリコン窒化膜44をマスクにしてN型不純物(例えば砒素)をイオン注入(イオン注入条件は例えばエネルギー30keV、注入量 $3 \times 10^{13} \text{ cm}^{-2}$)し、ソース/ドレイン拡散層45を形成する(図1(a))。

【0027】この後、第1の浮遊ゲート電極用多結晶シリコン膜42、第1のシリコン酸化膜43、および第1のシリコン窒化膜44をマスクにして、メモリセルのチャネル領域に相当する部分以外の領域の前記第1のゲート酸化膜41を希フッ酸を用いてエッチング除去する。このゲート酸化膜41を除去した領域には、第1のトンネル酸化膜46を形成し(同時に第1の浮遊ゲート電極用多結晶シリコン膜42の側部にも酸化膜が形成される)、その表面に第2の浮遊ゲート電極用多結晶シリコン膜47(膜厚は例えば1000Å)をCVD法で堆積し、このシリコン膜47をエッチバックすることで、前記第1の浮遊ゲート電極の側壁に前記第2の浮遊ゲート電極47を形成し、続けてシリコン酸化膜46もシリコン酸化膜のドライエッチングで露出部分のシリコン酸化膜46を除去する(図1(b))。続いて、例えば900°Cの熱酸化を行いシリコン膜47の表面に、例えば膜厚200Åのシリコン酸化膜48を形成する。

【0028】さらに、前記第1、第2の浮遊ゲート電極をマスクにしてシリコン基板40の露出部分にシリコン膜のドライエッチングを施し、シリコン基板40露出部分に溝(溝深さは例えば1μm、溝幅は例えば0.25μm)を形成する。その後、例えば900°Cの熱酸化を行い、シリコン基板40の溝側壁にシリコン酸化膜49(膜厚は例えば150Å)を形成する(図1(c))。

【0029】その後、膜厚5000Åのシリコン酸化膜50をCVD法で堆積し、シリコン基板表面の溝を埋め込んだ後、シリコン酸化膜50のエッチングを行い、シリコン窒化膜44の表面を露出させる(図2(d))。続けて、ホットリン酸を用いたシリコン窒化膜44のエッチングを行い、さらにフッ酸を用いて膜厚100Å分のシリコン酸化膜のエッチングを行い、シリコン酸化膜43を除去する。その後、第3の浮遊ゲート電極用の多結晶シリコン膜61(膜厚1000Å)をCVD法で堆積する。この結果、シリコン膜61表面には下地に依存して凹状の窪みが形成される。このようにシリコン膜61表面に凹状の窪みが形成されるのは前述した実施例1と比べシリコン膜61の膜厚を薄くしたからである。表面に凹部を形成する場合のシリコン膜61の膜厚は、下地の形状、特に図3に示す第2の浮遊ゲート電極47間の幅t等を考慮して適宜設定される。なお、前記第1の

浮遊ゲートポリシリコン42と第2の浮遊ゲートポリシリコン47は第3の浮遊ゲートポリシリコン61を介して電氣的に接続する。続けて、第3の浮遊ゲートポリシリコン61をフォトリソグラフィとシリコン膜のドライエッチングにより、浮遊ゲート電極形状に加工する。続けて900℃の熱酸化を行い、第3の浮遊ゲートポリシリコン61上にシリコン酸化膜62（膜厚は例えば180Å）を形成し、さらに制御ゲート用ポリシリコン膜63をCVD法で堆積し、その後フォトリソグラフィとドライエッチング技術を用い、制御ゲート電極63を加工し、フラッシュメモリセルを形成する（図3）。最後に、これらのパターンを覆うように絶縁膜をシリコン基板40の全面に形成し、メモリセルの各電極へのコンタクトホールおよび、金属配線を形成する。

【0030】

【発明の効果】本発明の効果は、不揮発性半導体メモリの高集積化と素子の低電圧動作実現を可能にする点である。

【0031】すなわち、本発明を用いれば、

1) 素子分離法として半導体基板に形成した溝構造の素子分離を用いるので、メモリセル専有面積の微細化が可能である。また、メモリセルのトンネル領域の面積を低減する事で、制御ゲート電極-浮遊ゲート電極間および浮遊ゲート電極-半導体基板間の電気容量結合比を変更し、制御ゲート電極-浮遊ゲート電極の対向面積を増大させることなく、すなわちメモリセルの専有面積を増大させることなく、制御ゲート電極に印加した電圧がトンネル絶縁膜へ電界を加え易くし、

10

* 2) その結果、素子動作上制御ゲート電極に印加すべき電圧の低電圧化が可能になる。さらに第3の浮遊ゲート電極表面に凹状の形状を形成することで、さらにトンネル膜へ電界を加えやすい構造にし、その結果、制御ゲート電極へ印加する電圧を低減し、フラッシュメモリセル等の不揮発性半導体メモリの電源電圧低電圧化の実現を可能にする。

【図面の簡単な説明】

【図1】本発明の実施例1の製造工程を示す断面模式図である。

【図2】本発明の実施例1の製造工程を示す断面模式図である。

【図3】本発明の実施例2の製造工程を示す断面模式図である。

【図4】従来例の製造工程を示す断面模式図である。

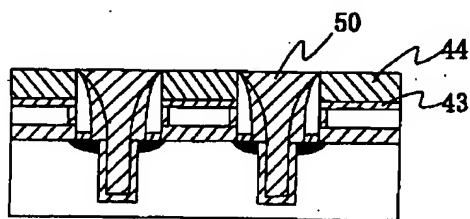
【図5】従来例の製造工程を示す断面模式図である。

【図6】従来例の製造工程を示す断面模式図である。

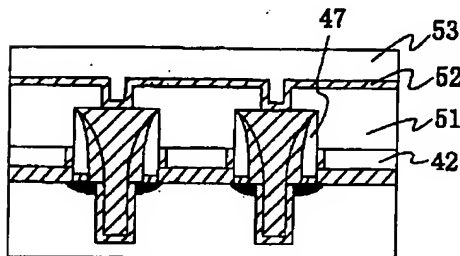
【符号の説明】

- 1, 20, 40 シリコン基板
- 2, 4, 6, 8, 10, 21, 23, 27, 28, 29, 31, 33, 41, 43, 46, 48, 49, 50, 52 シリコン酸化膜
- 30 多結晶シリコン膜
- 3, 9, 22, 32, 42, 47, 51 浮遊ゲート・シリコン膜
- 11, 34, 53 制御ゲート・シリコン膜
- 7, 25, 45 ソース・ドレイン拡散層
- 5, 24, 26, 44 シリコン窒化膜

【図2】

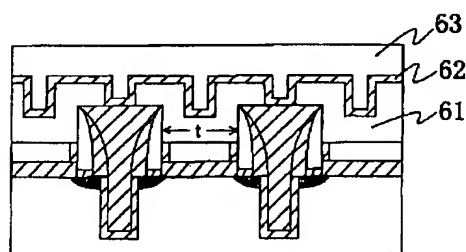


(d)

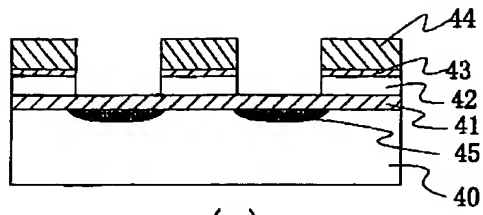


(e)

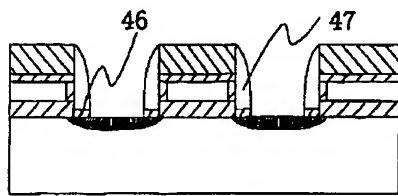
【図3】



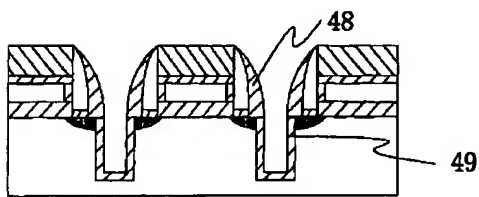
【図1】



(a)

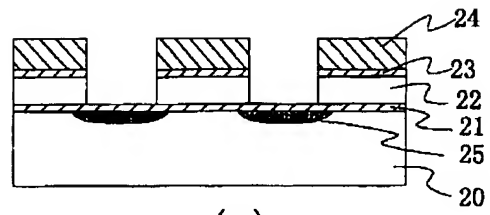


(b)

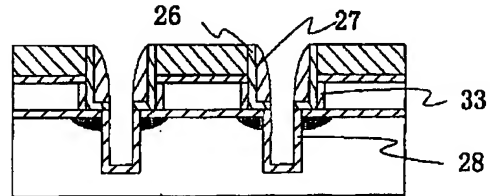


(c)

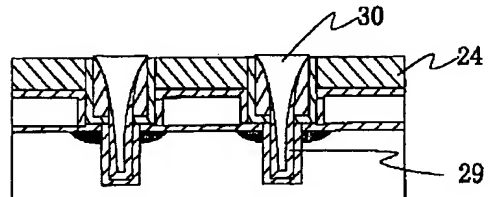
【図4】



(a)

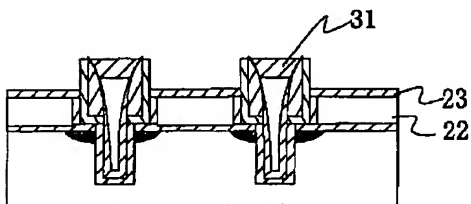


(b)

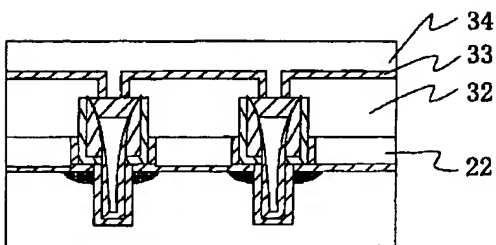


(c)

【図5】

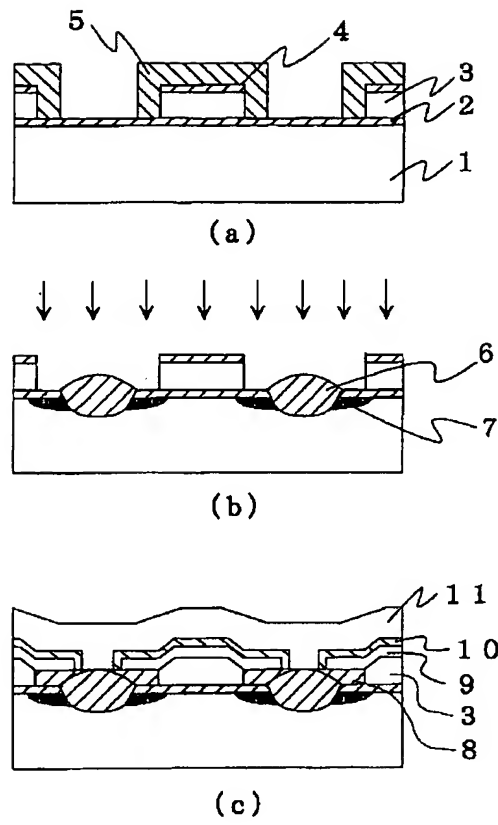


(d)



(e)

【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.